

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   1 月 1 5 日  
Date of Application:

出 願 番 号            特 願 2 0 0 3 - 0 0 7 2 8 0  
Application Number:  
[ST. 10/C]:            [ J P 2 0 0 3 - 0 0 7 2 8 0 ]

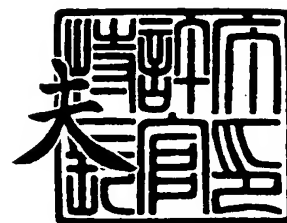
出      願      人            セイコーエプソン株式会社  
Applicant(s):



2 0 0 3 年 1 2 月   1 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 EP-0405001

【提出日】 平成15年 1月15日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065

【発明者】

    【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

    【氏名】 原 一巳

【特許出願人】

    【識別番号】 000002369

    【氏名又は名称】 セイコーエプソン株式会社

【代理人】

    【識別番号】 100090479

    【弁理士】

    【氏名又は名称】 井上 一

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090387

    【弁理士】

    【氏名又は名称】 布施 行夫

    【電話番号】 03-5397-0891

【選任した代理人】

    【識別番号】 100090398

    【弁理士】

    【氏名又は名称】 大淵 美千栄

    【電話番号】 03-5397-0891

**【手数料の表示】****【予納台帳番号】** 039491**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9402500**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項 1】 (a) 集積回路が形成された半導体基板に第 1 の面から凹部を形成すること、

(b) 前記凹部に導電部を設けること、

(c) 前記半導体基板の前記第 1 の面とは反対側の第 2 の面から前記導電部を突出させること、及び、

(d) 前記導電部を、その新生面が露出するまで研削又は研磨すること、を含む半導体装置の製造方法。

【請求項 2】 請求項 1 記載の半導体装置の製造方法において、

前記 (a) 工程後であって前記 (b) 工程前に、前記凹部の底面及び内壁面に絶縁層を設けることをさらに含み、

前記 (b) 工程で、前記絶縁層の内側に導電部を設ける半導体装置の製造方法。

【請求項 3】 請求項 2 記載の半導体装置の製造方法において、

前記 (c) 工程で、前記絶縁層に覆われた状態で前記導電部を突出させ、

前記 (d) 工程で、前記絶縁層及び前記導電部を研削又は研磨する半導体装置の製造方法。

【請求項 4】 請求項 3 記載の半導体装置の製造方法において、

前記 (c) 工程で、前記半導体基板に対するエッチング量が前記絶縁層に対するエッチング量よりも多くなる性質のエッチャントによって、前記半導体基板の前記第 2 の面をエッチングすることで、前記第 2 の面から前記導電部を突出させる半導体装置の製造方法。

【請求項 5】 請求項 1 から請求項 4 のいずれかに記載の半導体装置の製造方法において、

前記半導体基板は、半導体ウエハであり、複数の前記集積回路が形成され、それぞれの前記集積回路に対応して前記凹部を形成し、

前記半導体基板を切断することをさらに含む半導体装置の製造方法。

【請求項 6】 請求項 1 から請求項 5 のいずれかに記載の半導体装置の製造方法において、

前記 (a) ～ (d) 工程が終了した複数の前記半導体基板をスタックし、前記導電部を通して電氣的接続を図ることをさらに含む半導体装置の製造方法。

【請求項 7】 請求項 1 から請求項 6 のいずれかに記載の方法によって製造されてなる半導体装置。

【請求項 8】 請求項 6 記載の半導体装置が実装されてなる回路基板。

【請求項 9】 請求項 6 記載の半導体装置を有する電子機器。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【 0 0 0 2 】

【従来の技術】

【特許文献 1】

特開平 9 - 3 1 2 2 9 5 号公報

【 0 0 0 3 】

【発明の背景】

3 次元実装形態の半導体装置が開発されている。また、3 次元実装を可能にするため、半導体チップに貫通電極を形成することが知られている。貫通電極は、半導体チップから突出するように形成する。従来知られている貫通電極の形成方法では、貫通電極の突出部分を、電氣的に接続するときの特性に優れるように形成することが難しかった。

【 0 0 0 4 】

本発明の目的は、高品質な貫通電極を形成することにある。

【 0 0 0 5 】

【課題を解決するための手段】

(1) 本発明に係る半導体装置の製造方法は、(a) 集積回路が形成された半導

体基板に第1の面から凹部を形成すること、

(b) 前記凹部に導電部を設けること、

(c) 前記半導体基板の前記第1の面とは反対側の第2の面から前記導電部を突出させること、及び、

(d) 前記導電部を、その新生面が露出するまで研削又は研磨すること、  
を含む。本発明によれば、導電部の新生面を露出させるので、電氣的に接続するときの特性に優れた貫通電極を形成することができる。

(2) この半導体装置の製造方法において、

前記(a)工程後であって前記(b)工程前に、前記凹部の底面及び内壁面に絶縁層を設けることをさらに含み、

前記(b)工程で、前記絶縁層の内側に導電部を設けてもよい。

(3) この半導体装置の製造方法において、

前記(c)工程で、前記絶縁層に覆われた状態で前記導電部を突出させ、

前記(d)工程で、前記絶縁層及び前記導電部を研削又は研磨してもよい。

(4) この半導体装置の製造方法において、

前記(c)工程で、前記半導体基板に対するエッチング量が前記絶縁層に対するエッチング量よりも多くなる性質のエッチャントによって、前記半導体基板の前記第2の面をエッチングすることで、前記第2の面から前記導電部を突出させてもよい。

(5) この半導体装置の製造方法において、

前記半導体基板は、半導体ウエハであり、複数の前記集積回路が形成され、それぞれの前記集積回路に対応して前記凹部を形成し、

前記半導体基板を切断することをさらに含んでもよい。

(6) この半導体装置の製造方法において、

前記(a)～(d)工程が終了した複数の前記半導体基板をスタックし、前記導電部を通して電氣的接続を図ることをさらに含んでもよい。

(7) 本発明に係る半導体装置は、上記方法によって製造されてなる。

(8) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(9) 本発明に係る電子機器は、上記半導体装置を有する。

## 【0006】

## 【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して説明する。

## 【0007】

図1(A)～図3(C)は、本発明を適用した実施の形態に係る半導体装置の製造方法を説明する図である。本実施の形態では、半導体基板10を使用する。図1(A)に示す半導体基板10は、半導体ウエハであるが半導体チップであってもよい。半導体基板10には、少なくとも1つの（半導体ウエハには複数の、半導体チップには1つの）集積回路（例えばトランジスタやメモリを有する回路）12が形成されている。半導体基板10には、複数の電極（例えばパッド）14が形成されている。各電極14は、集積回路12に電氣的に接続されている。各電極14は、アルミニウムで形成されていてもよい。電極14の表面の形状は特に限定されないが矩形であることが多い。半導体基板10が半導体ウエハである場合、複数の半導体チップとなる各領域に、2つ以上（1グループ）の電極14が形成される。

## 【0008】

半導体基板10には、1層又はそれ以上の層のパッシベーション膜16、18が形成されている。パッシベーション膜16、18は、例えば、SiO<sub>2</sub>、SiN、ポリイミド樹脂などで形成することができる。図1(A)に示す例では、パッシベーション膜16上に、電極14と、集積回路12と電極を接続する配線（図示せず）とが形成されている。また、他のパッシベーション膜18が電極14の表面の少なくとも一部を避けて形成されている。パッシベーション膜18は、電極14の表面を覆って形成した後、その一部をエッチングして電極14の一部を露出させてもよい。エッチングにはドライエッチング及びウェットエッチングのいずれを適用してもよい。パッシベーション膜18のエッチングのときに、電極14の表面がエッチングされてもよい。

## 【0009】

本実施の形態では、半導体基板10に、その第1の面20から凹部22（図1(C)参照）を形成する。第1の面20は、電極14が形成された側（集積回路

12が形成された側)の面である。凹部22は、集積回路12の素子及び配線を避けて形成する。図1(B)に示すように、電極14に貫通穴24を形成してもよい。貫通穴24の形成には、エッチング(ドライエッチング又はウェットエッチング)を適用してもよい。エッチングは、リソグラフィ工程によってパターニングされたレジスト(図示せず)を形成した後に行ってもよい。電極14の下にパッシベーション膜16が形成されている場合、これにも貫通穴26(図1(C)参照)を形成する。電極14のエッチングがパッシベーション膜16で止まる場合、貫通穴26の形成には、電極14のエッチングに使用したエッチャントを別のエッチャントに換えてもよい。その場合、再び、リソグラフィ工程によってパターニングされたレジスト(図示せず)を形成してもよい。

#### 【0010】

図1(C)に示すように、貫通穴24(及び貫通穴26)と連通するように、半導体基板10に凹部22を形成する。貫通穴24(及び貫通穴26)と凹部22を合わせて、凹部ということもできる。凹部22の形成にも、エッチング(ドライエッチング又はウェットエッチング)を適用することができる。エッチングは、リソグラフィ工程によってパターニングされたレジスト(図示せず)を形成した後に行ってもよい。あるいは、凹部22の形成に、レーザ(例えばCO<sub>2</sub>レーザ、YAGレーザ等)を使用してもよい。レーザは、貫通穴24、26の形成に適用してもよい。一種類のエッチャント又はレーザによって、凹部22及び貫通穴24、26の形成を連続して行ってもよい。凹部22の形成には、サンドブラスト加工を適用してもよい。

#### 【0011】

図1(D)に示すように、凹部22の内側に絶縁層28を形成してもよい。絶縁層28は、酸化膜であってもよい。例えば、半導体基板10の基材がSiである場合、絶縁層28はSiO<sub>2</sub>であってもよいしSiNであってもよい。絶縁層28は、凹部22の底面に形成する。絶縁層28は、凹部22の内壁面に形成する。ただし、絶縁層28は、凹部22を埋め込まないように形成する。すなわち、絶縁層28によって凹部を形成する。絶縁層28は、パッシベーション膜16の貫通穴26の内壁面に形成してもよい。絶縁層28は、パッシベーション膜1



8上に形成してもよい。

#### 【0012】

絶縁層 28 は、電極 14 の貫通穴 24 の内壁面に形成してもよい。絶縁層 28 は、電極 14 の一部（例えばその上面）を避けて形成する。電極 14 の表面全体を覆って絶縁層 28 を形成し、その一部をエッチング（ドライエッチング又はウェットエッチング）して、電極 14 の一部を露出させてもよい。エッチングは、リソグラフィ工程によってパターンニングされたレジスト（図示せず）を形成した後に行ってもよい。

#### 【0013】

次に、凹部 22（例えば絶縁層 28 の内側）に導電部 30（図 2（B）参照）を設ける。導電部 30 は、Cu 又は W など形成してもよい。図 2（A）に示すように、導電部 30 の外層部 32 を形成した後に、その中心部 34 を形成してもよい。中心部 34 は、Cu、W、ドーパドポリシリコン（例えば低温ポリシリコン）のいずれかで形成することができる。外層部 32 は、少なくともバリア層を含んでもよい。バリア層は、中心部 34 又は次に説明するシード層の材料が、半導体基板 10（例えば Si）に拡散することを防止するものである。バリア層は、中心部 34 とは異なる材料（例えば TiW、TiN）で形成してもよい。中心部 34 を電解メッキで形成する場合、外層部 32 は、シード層を含んでもよい。シード層は、バリア層を形成した後に形成する。シード層は、中心部 34 と同じ材料（例えば Cu）で形成する。なお、導電部 30（少なくともその中心部 34）は、無電解メッキやインクジェット方式によって形成してもよい。

#### 【0014】

図 2（B）に示すように、外層部 32 をパッシベーション膜 18 上にも形成した場合、図 2（C）に示すように、外層部 32 のパッシベーション膜 18 上の部分をエッチングする。外層部 32 を形成した後、中心部 34 を形成することで、導電部 30 を設けることができる。導電部 30 の一部は、半導体基板 10 の凹部 22 内に位置する。凹部 22 の内壁面と導電部 30 との間には絶縁層 28 が介在するので、両者の電氣的な接続が遮断される。導電部 30 は、電極 14 と電氣的に接続されている。例えば、電極 14 の絶縁層 28 からの露出部に導電部 30 が

接触していてもよい。導電部 30 の一部は、パッシベーション膜 18 上に位置していてもよい。導電部 30 は、電極 14 の領域内にのみ設けてもよい。導電部 30 は、少なくとも凹部 22 の上方で突出していてもよい。例えば、導電部 30 は、パッシベーション膜 18 より突出していてもよい。

#### 【0015】

なお、変形例として、外層部 32 をパッシベーション膜 18 上に残した状態で、中心部 34 を形成してもよい。その場合、中心部 34 と連続した層がパッシベーション膜 18 の上方にも形成されるので、その層はエッチングする。

#### 【0016】

図 2 (D) に示すように、導電部 30 上に、ろう材 36 を設けてもよい。ろう材 36 は、例えばハンダで形成し、軟ろう及び硬ろうのいずれで形成してもよい。ろう材 36 は、導電部 30 以外の領域をレジストで覆って形成してもよい。以上の工程によって、導電部 30 によって又はこれにろう材 36 を加えてバンプを形成することができる。

#### 【0017】

本実施の形態では、図 3 (A) に示すように、半導体基板 10 の第 2 の面 (第 1 の面 20 とは反対側の面) 38 を、例えば機械研磨・研削及び化学研磨・研削の少なくとも一つの方法によって削ってもよい。この工程は、凹部 22 に形成された絶縁層 28 が露出する手前まで行う。なお、図 3 (A) に示す工程を省略して、次の図 3 (B) に示す工程を行ってもよい。

#### 【0018】

図 3 (B) に示すように、導電部 30 を第 2 の面 38 から突出させる。例えば、半導体基板 10 の第 2 の面 38 を、絶縁層 28 が露出するようにエッチングする。詳しくは、導電部 30 (詳しくはその凹部 22 内の部分) が絶縁層 28 に覆われた状態で突出するように、半導体基板 10 の第 2 の面 38 をエッチングする。エッチングは、半導体基板 (例えば Si を基材とする。) 10 に対するエッチング量が絶縁層 (例えば SiO<sub>2</sub> で形成されている。) 28 に対するエッチング量よりも多くなる性質のエッチャントによって行ってもよい。エッチャントは、SF<sub>6</sub>又はCF<sub>4</sub>又はCl<sub>2</sub>ガスであってもよい。エッチングは、ドライエッチン

グ装置を使用して行ってもよい。あるいは、エッチャントは、フッ酸及び硝酸の混合液あるいはフッ酸、硝酸及び酢酸の混合液であってもよい。

#### 【0019】

図3 (C) に示すように、導電部30を、その新生面（構成材料のみからなる面、すなわち酸化膜や堆積した有機物が除去された面）が露出するまで研削又は研磨する。研削には砥石を使用してもよい。例えば、#100～#4000程度の粒度の砥石を使用することができるが、#1000～#4000程度の粒度の砥石を使用すれば、絶縁膜28の破損を防止することができる。研磨には、研磨布を使用してもよい。研磨布は、スエードタイプ又は発砲ウレタンタイプのものであっても、不織布であってもよい。研磨には、Na, NH<sub>4</sub>などのアルカリ陽イオン溶液中に研磨粒子としてコロイダルシリカを分散させたスラリーを使用してもよい。研磨粒子は、0.03  $\mu\text{m}$ ～10  $\mu\text{m}$ 程度の粒径を有し、10 wt %程度の比率で分散してもよい。スラリーは、キレート剤、アンモニア、過酸化水素水等の添加剤を含んでもよい。研磨圧力は、5 g/cm<sup>2</sup>～1 kg/cm<sup>2</sup>程度であってもよい。

#### 【0020】

凹部22に絶縁層28を形成した場合、導電部30よりも先に絶縁層28を研磨又は研削する。絶縁層28の研磨又は研削と、導電部30の研磨又は研削を連続的行ってもよい。絶縁層28の少なくとも凹部22の底面に形成された部分を除去する。そして、導電部30を露出させ、さらにその新生面を露出させる。導電部30の新生面を露出させ、導電部30の先端部の外周面が絶縁層28に覆われていてもよい。導電部30の中心部34の新生面を露出させないように外層部32（例えばバリア層）の新生面を露出させてもよいし、外層部32及び中心部34の新生面を露出させてもよい。

#### 【0021】

なお、図3 (A) ～図3 (C) の少なくともいずれか1つの工程は、半導体基板10の第1の面20の側に、例えば、ガラス板、樹脂層、樹脂テープ等の補強部材を設けて（例えば接着剤又は接着シートによって貼り付けて）行ってもよい。

**【0022】**

以上の工程により、半導体基板10の第2の面38から導電部30を突出させることができる。突出した導電部30は突起電極となる。導電部30は、第1及び第2の面20、38の貫通電極にもなっている。本実施の形態によれば、導電部30の新生面を露出させるので、電氣的に接続するときの特性に優れた貫通電極を形成することができる。なお、導電部30は、新生面が酸化する前（例えば、新生面が露出した直後又はその後できるだけ早く（例えば24時間以内））に、電氣的に接続してもよい。以上の工程により、半導体装置（貫通電極を有する半導体基板）を製造することができ、その構造は、上述した製造方法から導くことができる内容である。

**【0023】**

図4に示すように、半導体基板10が半導体ウエハである場合、それぞれの集積回路12（図1（A）参照）に対応して凹部22を形成し、半導体基板10を切断（例えばダイシング）してもよい。切断には、カッタ（例えばダイサ）40又はレーザ（例えばCO<sub>2</sub>レーザ、YAGレーザ等）を使用してもよい。これにより、半導体装置（貫通電極を有する半導体チップ）を製造することができ、その構造は、上述した製造方法から導くことができる内容である。

**【0024】**

半導体装置の製造方法は、上述した導電部30を有する複数の半導体基板10をスタックし、導電部30を通して、それぞれの半導体基板10の電氣的接続を図ることを含んでもよい。詳しくは、上下の導電部30同士を電氣的に接続してもよいし、導電部30と電極14を電氣的に接続してもよい。電氣的接続には、ハンダ接合又は金属接合を適用してもよいし、異方性導電材料（異方性導電膜又は異方性導電ペースト等）を使用してもよいし、絶縁性接着剤の収縮力を利用した圧接を適用してもよいし、これらの組み合わせであってもよい。

**【0025】**

半導体チップとしての半導体基板10をスタックしてもよい。あるいは、図5に示すように、半導体ウエハとしての複数の半導体基板10をスタックしてもよい。その場合、スタックされた複数の半導体基板10を切断してもよい。あるい

は、図 6 に示すように、半導体ウエハとしての半導体基板 10 に、上述した半導体基板 10 から切断された半導体チップ 50 をスタックしてもよい。この場合で、複数の半導体チップ 50 をスタックしてもよい。

#### 【0026】

図 7 は、本発明の実施の形態に係る半導体装置（スタック型半導体装置）を示す図である。スタック型半導体装置は、上述した半導体基板 10 から切断された複数の半導体チップ 50 を有する。複数の半導体チップ 50 はスタックされている。上下の導電部 30 同士あるいは導電部 30 と電極 14 は、ろう材 36 によって接合されていてもよい。スタックされた複数の半導体チップ 50 のうち 1 つ（例えば第 2 の面 38 の方向に最も外側の半導体チップ 50）には、貫通電極を有しない半導体チップ 60 がスタックされていてもよい。半導体チップ 60 の内容は、貫通電極を有しない点を除き、半導体チップ 50 の内容が該当する。半導体チップ 50 の導電部 30 は、半導体チップ 60 の電極 64 に接合してもよい。

#### 【0027】

上下の半導体チップ 50 の間又は上下の半導体チップ 60、50 の間には、絶縁材料（例えば接着剤・樹脂・アンダーフィル材）66 を設けてもよい。絶縁材料 66 によって、導電部 30 の接合状態が維持又は補強される。

#### 【0028】

スタックされた複数の半導体チップ 50 は、配線基板 70 に実装されてもよい。スタックされた複数の半導体チップ 50 のうち、最も外側の半導体チップ 50 は、配線基板（例えばインターポーザ）70 に実装してもよい。その実装にはフェースダウンボンディングを適用してもよい。その場合、第 1 の面 20 の方向に最も外側（例えば最も下側）の導電部 30 を有する半導体チップ 50 が、配線基板 70 に実装される。例えば、導電部 30 の第 1 の面 20 からの突出部又は電極 14 を配線パターン 72 に電氣的に接続（例えば接合）してもよい。半導体チップ 50 と配線基板 70 の間には、絶縁材料（例えば接着剤・樹脂・アンダーフィル材）66 を設けてもよい。絶縁材料 66 によって、導電部 30 又は電極 14 の接合状態が維持又は補強される。

#### 【0029】

あるいは、図示しない例として、スタックされた複数の半導体チップ 50 を、配線基板 70 にフェースアップボンディングしてもよい。その場合、導電部 30 の第 2 の面 38 からの突出部を配線パターン 72 に電氣的に接続（例えば接合）する。配線基板 70 には、配線パターン 72 に電氣的に接続された外部端子（例えばハンダボール）74 が設けられている。あるいは、半導体チップ 50 に応力緩和層を形成し、その上に電極 14 から配線パターンを形成し、その上に外部端子を形成してもよい。その他の内容は、上述した製造方法から導くことができる。

### 【0030】

図 8 には、複数の半導体チップがスタックされてなる半導体装置 1 が実装された回路基板 1000 が示されている。複数の半導体チップは、上述した導電部 30 によって電氣的に接続されている。上述した半導体装置を有する電子機器として、図 9 にはノート型パーソナルコンピュータ 2000 が示され、図 10 には携帯電話 3000 が示されている。

### 【0031】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

### 【図面の簡単な説明】

【図 1】 図 1（A）～図 1（D）は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 2】 図 2（A）～図 2（D）は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 3】 図 3（A）～図 3（C）は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 4】 図 4 は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 5】 図 5 は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 6】 図 6 は、本発明の実施の形態に係る半導体装置の製造方法を説明する図である。

【図 7】 図 7 は、本発明の実施の形態に係る半導体装置を説明する図である。

【図 8】 図 8 は、本発明の実施の形態に係る回路基板を示す図である。

【図 9】 図 9 は、本発明の実施の形態に係る電子機器を示す図である。

【図 1 0】 図 1 0 は、本発明の実施の形態に係る電子機器を示す図である。

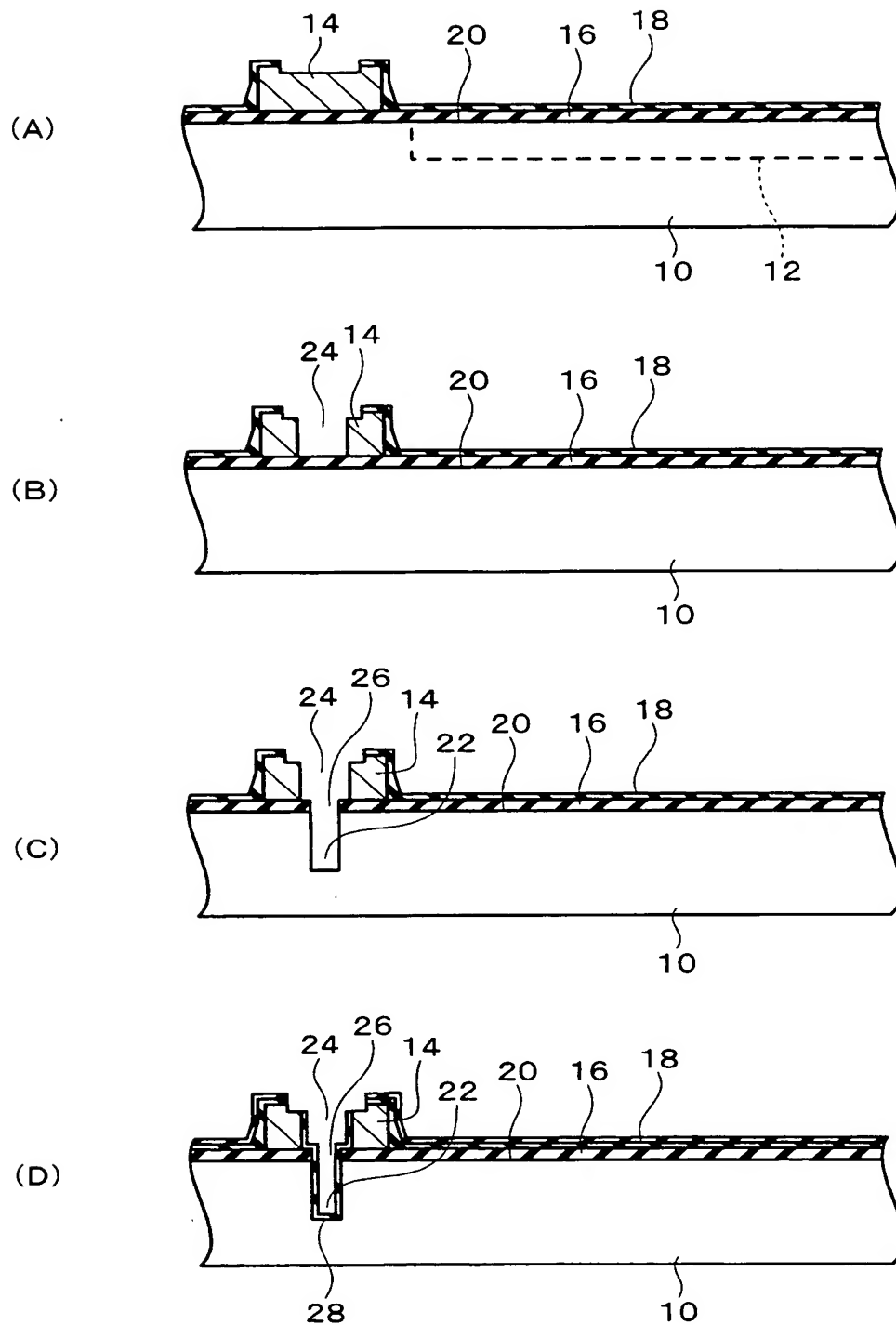
【符号の説明】

1 0 半導体基板、 1 2 集積回路、 2 0 第 1 の面、 2 2 凹部、  
2 8 絶縁層、 3 0 導電部、 3 8 第 2 の面

【書類名】

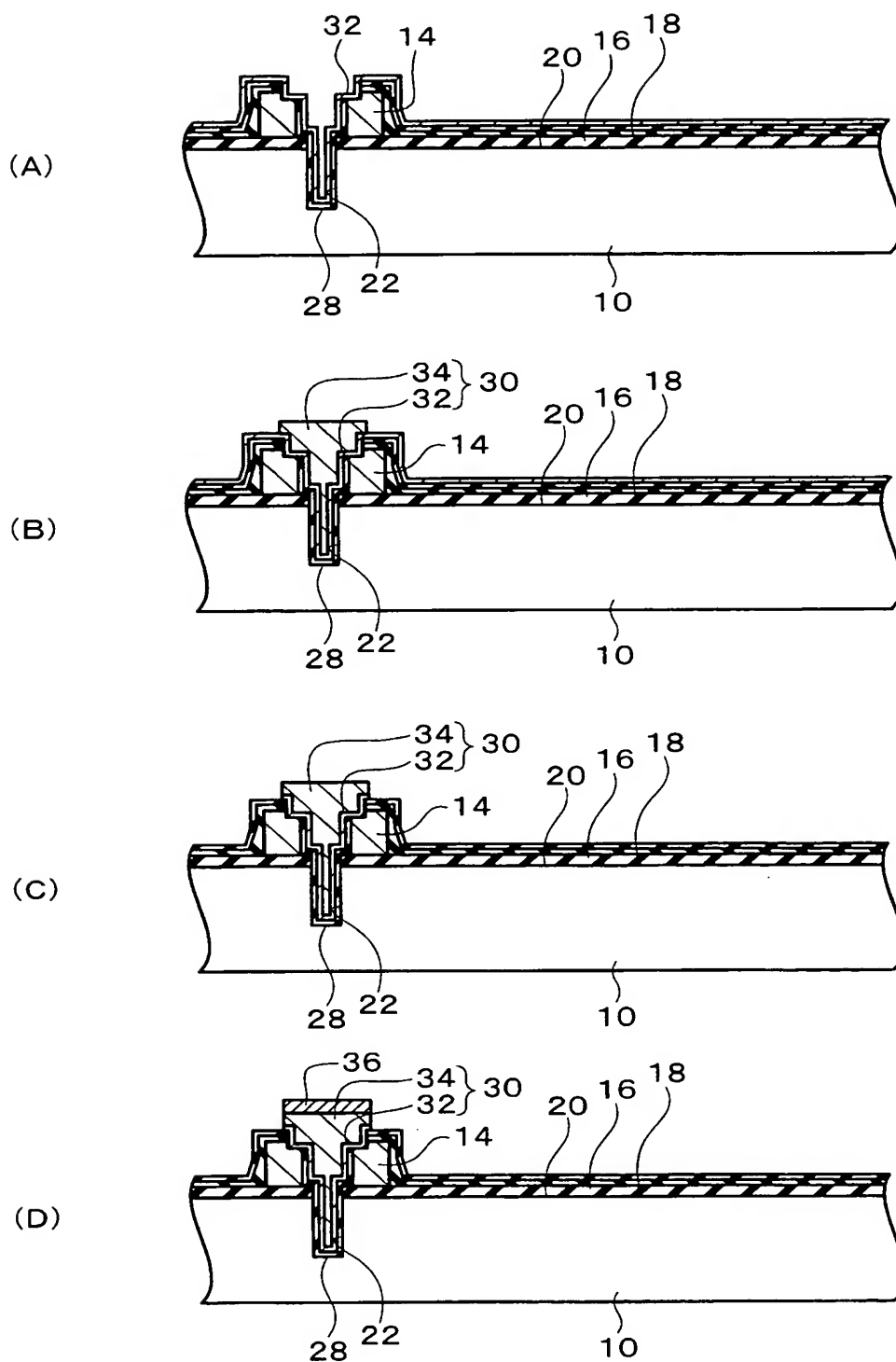
図面

【図 1】

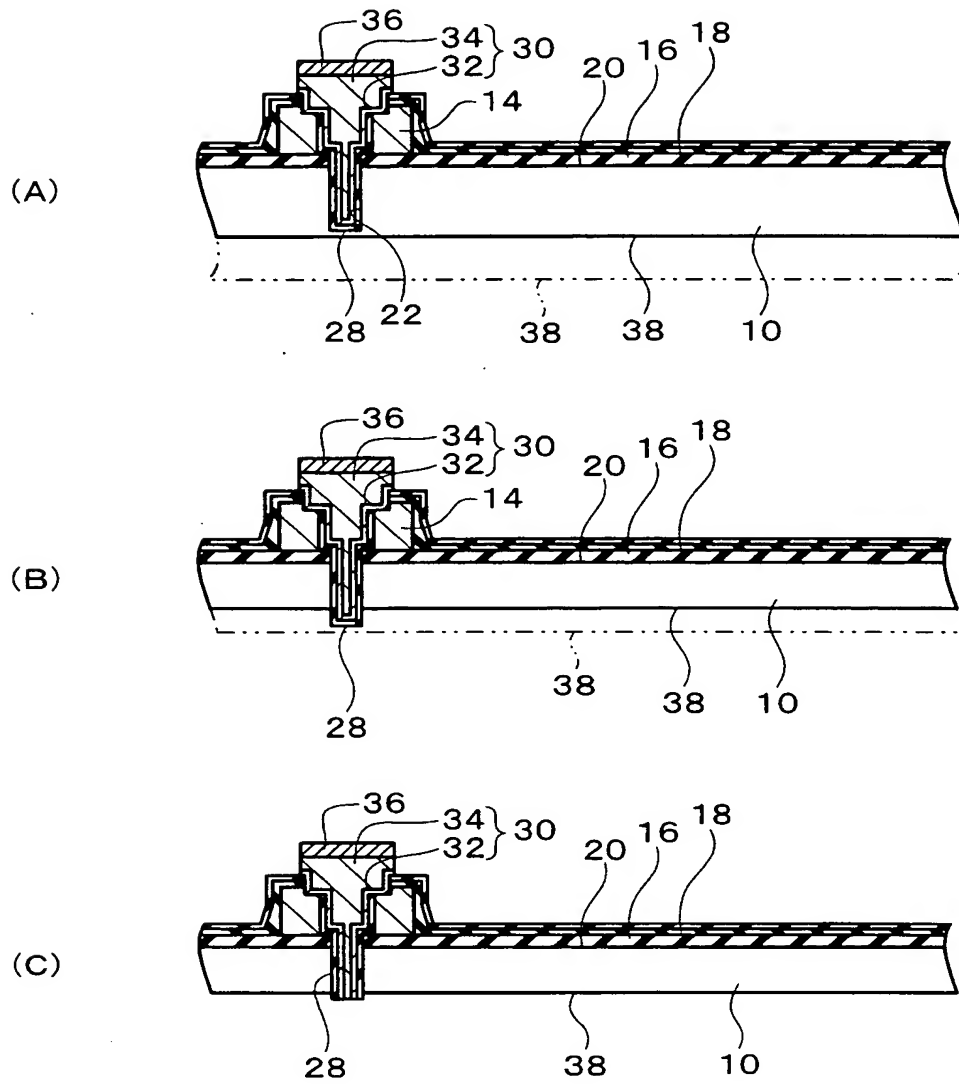




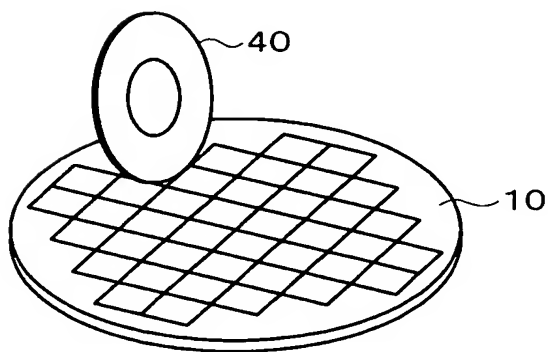
【図 2】



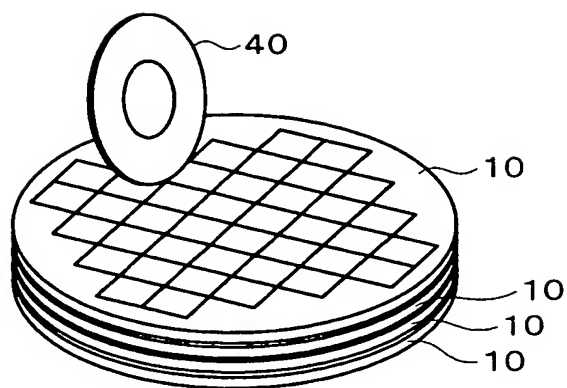
【図 3】



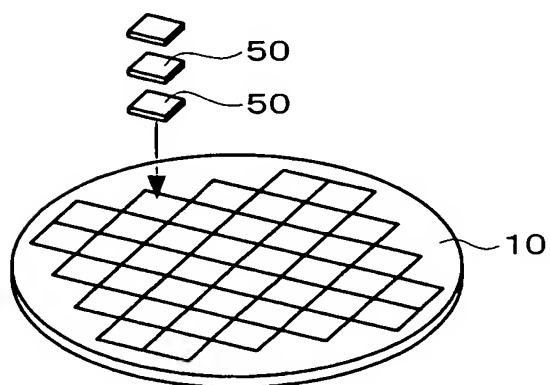
【図 4】



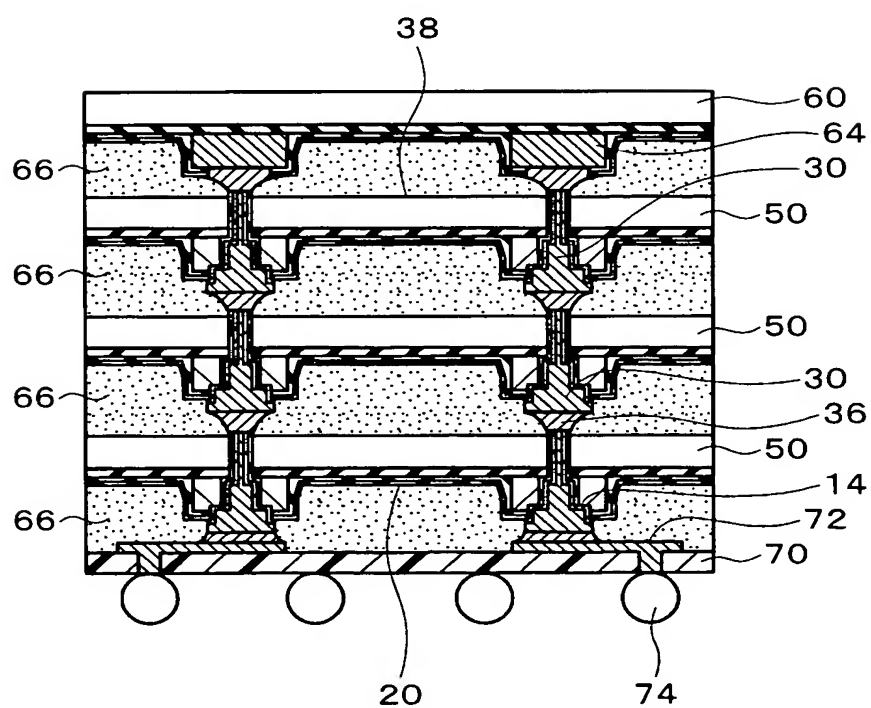
【図 5】



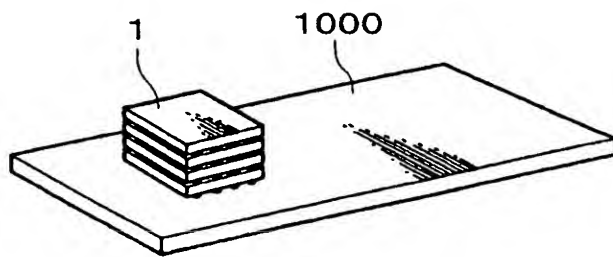
【図 6】



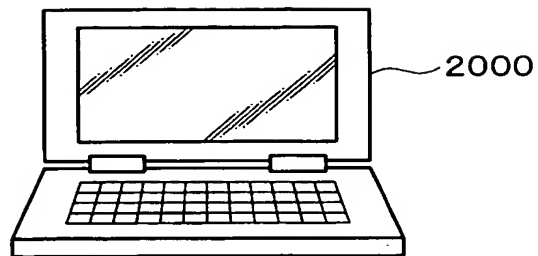
【図 7】



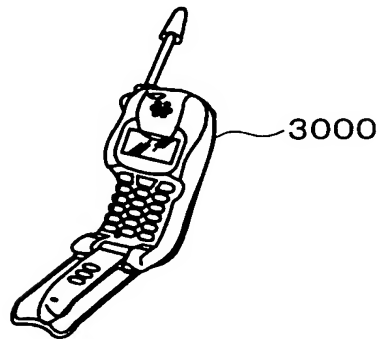
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 本発明の目的は、高品質な貫通電極を形成することにある。

【解決手段】 集積回路 1 2 が形成された半導体基板 1 0 に第 1 の面 2 0 から凹部 2 2 を形成する。凹部 2 2 に導電部 3 0 を設ける。半導体基板 1 0 の第 1 の面 2 0 とは反対側の第 2 の面 3 8 から導電部 3 0 を突出させる。導電部 3 0 を、その新生面が露出するまで研削又は研磨する。

【選択図】 図 3

特願 2 0 0 3 - 0 0 7 2 8 0

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日  
[変更理由]

1 9 9 0 年 8 月 2 0 日  
新規登録

住 所  
氏 名

東京都新宿区西新宿 2 丁目 4 番 1 号  
セイコーエプソン株式会社